

 #3

A circular black ink stamp from the Office of Intellectual Property (OIP). The text "OIP" is at the top, "JC68" is at the top right, "PATENT & TRADEMARK OFFICE" is at the bottom, and "JAN 11 2007" is in the center.

Group Art Unit: 2871

Examiner: Unknown

Filing Date: October 25, 2000

Assistant Commissioner of Patents
Washington, D.C. 20231

Sir:

Submitted herewith is a certified copy of Japanese Application Number 11-304682 filed on October 26, 1999, upon which the application claim for priority is based.

Respectfully submitted,

Sean M. Hsi

Sean M. McGinn

Registration No. 34,386

Date: 11/11/01
McGinn & Gibb, PLLC
Intellectual Property Law
8321 Old Courthouse, Suite 200
Vienna, Virginia 22182
(703) 761-4100
Customer No. 21254

IC 2300

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

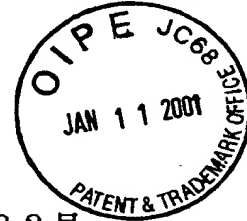
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1 9 9 9 年 1 0 月 2 6 日



出 願 番 号

Application Number:

平成 1 1 年 特 許 願 第 3 0 4 6 8 2 号

出 願 人

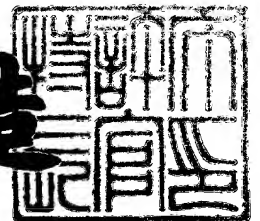
Applicant (s):

日本電気株式会社
鹿児島日本電気株式会社

2 0 0 0 年 7 月 1 4 日

特 許 庁 長 官
Commissioner,
Patent Office

及 川 耕 造



出 証 番 号 出 証 特 2 0 0 0 - 3 0 5 5 2 6 1

【書類名】 特許願

【整理番号】 74610393

【提出日】 平成11年10月26日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/78
G02F 1/133
G09F 9/30

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 井樋田 悟史

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 山口 弘高

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 田中 宏明

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 早瀬 貴介

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 加納 博司

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 金子 若彦

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 宮原 妙

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 坂本 道昭

【発明者】

【住所又は居所】 鹿児島県出水市大野原町2080 鹿児島日本電気株式会社内

【氏名】 中田 慎一

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【特許出願人】

【識別番号】 000181284

【氏名又は名称】 鹿児島日本電気株式会社

【代理人】

【識別番号】 100080816

【弁理士】

【氏名又は名称】 加藤 朝道

【電話番号】 045-476-1131

【手数料の表示】

【予納台帳番号】 030362

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9304371

【物件名】 委任状 1

【援用の表示】 平成11年10月26日提出の包括委任状提出書に添付のものを援用する。

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 アクティブマトリクス基板及びその製造方法

【特許請求の範囲】

【請求項 1】

透明絶縁性基板上に透明電極と金属膜とがこの順に積層されたゲート電極を有し、

該ゲート電極を覆うように形成されたゲート絶縁膜と、該ゲート絶縁膜上に配設されたアモルファスシリコン半導体層とが、基板の法線方向から見て略重なるように形成され、

該アモルファスシリコン半導体層の表面及び側壁を覆うパッシベーション膜に設けられた開口を介して、前記アモルファスシリコン半導体層とソース／ドレイン電極とが接続され、

前記ゲート電極と同層に形成され、積層された前記透明電極及び前記金属膜のうち前記金属膜のみを除去して形成された画素電極に、前記ソース電極が接続されている、ことを特徴とするアクティブマトリクス基板。

【請求項 2】

透明絶縁性基板上に透明電極と金属膜とがこの順に積層されたゲート電極を有し、

該ゲート電極を覆うように形成されたゲート絶縁膜と、該ゲート絶縁膜上に配設されたアモルファスシリコン半導体層とが、基板の法線方向から見て略重なるように形成され、

該アモルファスシリコン半導体層の表面及び側壁を覆うパッシベーション膜に設けられた開口を介して、前記アモルファスシリコン半導体層とソース／ドレイン電極とが接続され、

前記ゲート電極と同層に形成され、積層された前記透明電極及び前記金属膜のうち前記金属膜のみを除去して形成された画素電極に、前記ソース電極が接続され、

前記画素電極には、前記パッシベーション膜が、前記ゲート電極と同層に形成された容量蓄積電極と前記ソース電極と同層に形成された対向電極とで挟まれた

蓄積容量部が設けられている、ことを特徴とするアクティブマトリクス基板。

【請求項 3】

透明絶縁性基板上にゲート電極と共通電極とを有し、

該ゲート電極を覆うように形成されたゲート絶縁膜と、該ゲート絶縁膜上に配設されたアモルファスシリコン半導体層とが、基板の法線方向から見て略重なるように形成され、

該アモルファスシリコン半導体層の表面及び側壁を覆うパッシベーション膜に設けられた開口を介して、前記アモルファスシリコン半導体層とソース／ドレイン電極とが接続されている、ことを特徴とするアクティブマトリクス基板。

【請求項 4】

前記開口により露出したアモルファスシリコン半導体層表層に、リンがドーピングされた n^+ 層が形成され、金属のみからなる前記ソース／ドレイン電極が前記 n^+ 層に直接接続されている、ことを特徴とする請求項 1 乃至 3 のいずれかに記載のアクティブマトリクス基板。

【請求項 5】

前記パッシベーション膜が、シリコン窒化膜の上に、アクリル樹脂、BCB（ベンゾシクロブテン）又はポリイミドのいずれかを材料とする有機層間膜を堆積した積層構造をなす、ことを特徴とする請求項 1 乃至 4 のいずれかに記載のアクティブマトリクス基板。

【請求項 6】

前記パッシベーション膜が、シリコン窒化膜の上にシリコン酸化膜を堆積した積層構造をなす、ことを特徴とする請求項 1 乃至 4 のいずれかに記載のアクティブマトリクス基板。

【請求項 7】

(a) 透明絶縁性基板上に透明電極と金属膜とをこの順に積層し、第 1 のマスクを用いて、ゲート電極、ゲート配線及び画素電極を形成する工程と、

(b) 該ゲート電極上にゲート絶縁膜とアモルファスシリコン半導体層とを積層し、第 2 のマスクを用いて、ゲート絶縁膜とアモルファスシリコン半導体層とを所定の形状に加工する工程と、

(c) 該アモルファスシリコン半導体層の表面及び側壁を覆うようにパッシベーション膜を堆積し、第3のマスクを用いて、前記アモルファスシリコン半導体層上の所定の位置に前記パッシベーション膜を貫通し、ソース／ドレイン電極と接続するための開口を設けると共に、前記画素電極上に前記パッシベーション膜及び前記金属膜を貫通し、前記金属酸化膜が露出する開口を形成する工程と、

(d) 前記パッシベーション膜及び開口部上層に電極層を堆積し、第4のマスクを用いて、前記ソース電極用の開口部に露出したアモルファスシリコン層と前記画素電極とを接続する配線を形成すると共に、前記ドレイン電極用の開口部に露出したアモルファスシリコン層に接続されるドレイン配線を形成する工程と、を少なくとも有することを特徴とするアクティブマトリクス基板の製造方法。

【請求項8】

(a) 透明絶縁性基板上に金属膜を堆積し、第1のマスクを用いて、ゲート電極、ゲート配線及び共通電極配線を形成する工程と、

(b) 該ゲート電極上にゲート絶縁膜とアモルファスシリコン半導体層とを積層し、第2のマスクを用いて、ゲート絶縁膜とアモルファスシリコン半導体層とを所定の形状に加工する工程と、

(c) 該アモルファスシリコン半導体層の表面及び側壁を覆うようにパッシベーション膜を堆積し、第3のマスクを用いて、前記アモルファスシリコン半導体層上の所定の位置に前記パッシベーション膜を貫通し、ソース／ドレイン電極と接続するための開口を設ける工程と、

(d) 前記パッシベーション膜及び開口部上層に電極層を堆積し、第4のマスクを用いて、前記ドレイン電極用の開口部に露出したアモルファスシリコン層に接続されるドレイン配線を形成する工程と、を少なくとも有することを特徴とするアクティブマトリクス基板の製造方法。

【請求項9】

(a) 透明絶縁性基板上に金属膜を堆積し、第1のマスクを用いて、ゲート電極、ゲート配線及び共通電極配線を形成する工程と、

(b) 該ゲート電極上にゲート絶縁膜とアモルファスシリコン半導体層とを積層し、第2のマスクを用いて、前記アモルファスシリコン半導体層のみを所定の

形状に加工する工程と、

(c) 該アモルファスシリコン半導体層の表面及び側壁を覆うようにパッシベーション膜を堆積し、第3のマスクを用いて、前記アモルファスシリコン半導体層上の所定の位置に前記パッシベーション膜を貫通し、ソース/ドレイン電極と接続するための開口を設ける工程と、

(d) 前記パッシベーション膜及び開口部上層に電極層を堆積し、第4のマスクを用いて、前記ドレイン電極用の開口部に露出したアモルファスシリコン層に接続されるドレイン配線を形成する工程と、を少なくとも有することを特徴とするアクティブマトリクス基板の製造方法。

【請求項10】

前記(d)の工程で堆積される前記電極層が、不純物をドーピングしたアモルファスシリコン層と金属層とがこの順に堆積された積層構造をなすことを特徴とする請求項7乃至9のいずれかに記載のアクティブマトリクス基板の製造方法。

【請求項11】

前記(c)のパッシベーション膜に開口を設ける工程後、前記(d)の電極層を形成する工程前に、前記透明絶縁性基板を PH_3 ガス雰囲気中に保持し、前記開口により露出した前記アモルファスシリコン半導体層にリンをドーピングして表層に n^+ 層を形成する工程を有し、

金属層のみからなる前記電極層を前記 n^+ 層に接続する、ことを特徴とする請求項7乃至9のいずれかに記載のアクティブマトリクス基板の製造方法。

【請求項12】

前記パッシベーション膜が、シリコン窒化膜の上に、アクリル樹脂、BCB（ベンゾシクロブテン）又はポリイミドのいずれかを材料とする有機層間膜を堆積した積層構造をなす、ことを特徴とする請求項7乃至11のいずれかに記載のアクティブマトリクス基板の製造方法。

【請求項13】

前記パッシベーション膜が、シリコン窒化膜の上にシリコン酸化膜を堆積した積層構造をなす、ことを特徴とする請求項7乃至11のいずれかに記載のアクティブマトリクス基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、アクティブマトリクス基板及びその製造方法に関し、特に、アモルフアスシリコン半導体層表面にチャンネル保護膜が形成されているチャンネル保護型アクティブマトリクス基板及びその製造方法に関する。

【0002】

【従来の技術】

薄膜トランジスタ等のアクティブ素子を用いたアクティブマトリックス型液晶表示装置は、薄型で軽量という特徴をもち、高画質のフラットパネルディスプレイとして利用されている。液晶表示装置は、透明電極を形成した2枚の基板で液晶を挟み込み透明電極間に印加した電圧で液晶を駆動する、縦電界（ツイステッドネマチック：TN）方式、又は、液晶層を相互間に挟持介在させる櫛歯状の画素電極を用いて駆動する横電界方式が用いられるが、いずれの方式においても、低価格化を実現するためにアクティブマトリクス基板の製造工程の簡略化の検討が進められている。

【0003】

図1に示すように、一般にTN方式のアクティブマトリクス基板は、互いに直交する方向に延在するゲート配線12及びドレイン配線14と、これらの配線で囲まれた領域に形成される画素電極10と、ゲート配線とドレイン配線の交差部近傍に形成される薄膜トランジスタ（TFT）17とから構成され、薄膜トランジスタ17の表面には性能を確保するためのチャンネル保護膜が形成される。このアクティブマトリクス基板の薄膜トランジスタ17及び画素電極10上には液晶を所定の方向に配列させる配向膜（図示せず）が形成され、カラーフィルタ、共通電極、配向膜等が形成された対向基板との間に液晶が封入され液晶表示装置が形成される。

【0004】

このようなアクティブマトリクス基板の一般的な製造方法について説明する。まず、透明絶縁性基板上にITO（Indium Tin Oxide）を堆積し、第1のフォトマ

スクを用いてレジストパターンを形成し、露出したITOをエッチングして画素電極を形成する。続いて、透明絶縁性基板上にゲート電極となるCr、Mo、Al等の金属膜を堆積し、第2のフォトマスクを用いてレジストパターンを形成し、露出した金属膜をエッチングしてゲート電極を形成する。

【0005】

次に、ゲート電極を覆うようにSiNx等のゲート絶縁膜を堆積し、第3のフォトマスクを用いて、所定の位置に開口部を設けた後、アモルファスシリコン（以下、a-Si）を堆積し、第4のフォトマスクを用いてa-Siを選択的にエッチングして島状のa-Si層を形成する。そして、a-Si層の上層にSiNx等のチャネル保護膜を堆積し、第5のフォトマスクを用いて、a-Si層上のチャネル位置にチャネル保護膜が残るようにチャネル保護膜をエッチングする。

【0006】

次に、a-Si層とのオーミック接触を得るために、不純物をドーピングした n^+ a-Siを堆積した後、続いてCr、Mo、Al等の金属を堆積し、第6のフォトマスクを用いて、ソース/ドレイン電極を形成する。上述した方法でアクティブマトリクス基板を製造するには、合計で6枚のマスクを用いた処理が必要であり、工程削減のための種々の製造方法が提案されている。

【0007】

それらの製造方法として、例えば、特開昭63-218925号公報記載の発明について図13を参照して説明する。図13は、従来のTN方式アクティブマトリクス基板の製造方法を模式的に示す工程断面図であり、図の左側はゲート端子部を、中央は画素部をそれぞれ表している。

【0008】

上記公報記載のアクティブマトリクス基板は、まず、図13(a)に示すように、透明絶縁性基板1上にスパッタ法によりITOとCr、Mo、Al等の金属膜を連続して堆積し、第1のフォトマスクを用いてレジストパターンを形成し、露出したITOと金属膜をエッチングしてゲート電極2及び画素電極10を同時に形成する。

【0009】

次に、図13(b)に示すように、 SiN_x 等のゲート絶縁膜4、真性 a-Si 層5及び SiN_x 等のチャネル保護膜25を連続して堆積した後、第2のフォトマスクを用いて、真性 a-Si 層5のチャネル領域にチャネル保護膜25が形成されるように不要なチャネル保護膜25を選択的にエッチングする。

【0010】

次に、図13(c)に示すように、不純物をドーピングした $\text{n}^+\text{a-Si}$ からなるオーミックコンタクト層6を堆積し、第3のフォトマスクを用いて、オーミックコンタクト層6、真性 a-Si 層5、ゲート絶縁膜4及び上層ゲート金属膜を一括してエッチングし、画素電極10及びゲート電極2取り出し部分のITOを露出させる。

【0011】

次に、図13(d)に示すように、Al等のソース/ドレイン金属膜を堆積し、第4のフォトマスクを用いて、チャネル領域上部のソース/ドレイン金属膜及びオーミックコンタクト層6を選択的にエッチングすると共に、ソース/ドレイン金属膜を所定の形状に加工してアクティブマトリクス基板の製造を終了する。

【0012】

【発明が解決しようとする課題】

上述した公報記載の方法によれば、4枚のマスクで真性 a-Si 層5上部のチャネル領域にチャネル保護膜25が形成されたアクティブマトリクス基板を製造することができるが、チャネル保護膜25形成後、図13(c)の工程でオーミックコンタクト層6、真性 a-Si 層5、ゲート絶縁層4及び上層ゲート金属膜を一括してエッチングするために、真性 a-Si 層5の側面がチャネル保護膜25によって覆われずに露出してしまうという問題がある。

【0013】

このように真性 a-Si 層5側壁が SiN_x 等の緻密な材質のチャネル保護膜25で覆われていない場合は、ポリイミド配向膜のような粗な膜しか介さずに液晶層が存在することになり、液晶層内に存在する不純物が拡散や電界により真性 a-Si 層5中に入り、TFTの特性を著しく劣化させてしまう。この問題を回避するために、現在実用化されているアクティブマトリクス基板では、図13(

d) の工程後にパッシベーション膜を被覆し、真性 a - S i 層 5 の側面を覆っている。この場合、ゲート端子とドレイン端子と画素電極を開口するため、第 5 のマスクを使用しなければならず、1 P R 分工程が増加することになり、結局工数削減の効果が損なわれてしまうという問題がある。

【 0 0 1 4 】

本発明は、上記問題点に鑑みてなされたものであって、その主たる目的は、チャネル保護型で、かつ、a - S i 層の全面をパッシベーション膜で覆うことができるアクティブマトリクス基板を 4 枚のマスクで形成することができるアクティブマトリクス基板及びその製造方法を提供することにある。

【 0 0 1 5 】

【課題を解決するための手段】

上記目的を達成するために、本発明は、第 1 の視点において、透明絶縁性基板上に透明電極と金属膜とがこの順に積層されたゲート電極を有し、該ゲート電極を覆うように形成されたゲート絶縁膜と、該ゲート絶縁膜上に配設されたアモルファスシリコン半導体層とが、基板の法線方向から見て略重なるように形成され、該アモルファスシリコン半導体層の表面及び側壁を覆うパッシベーション膜に設けられた開口を介して、前記アモルファスシリコン半導体層とソース／ドレイン電極とが接続され、前記ゲート電極と同層に形成され、積層された前記透明電極及び前記金属膜のうち前記金属膜のみを除去して形成された画素電極に、前記ソース電極が接続されているものである。

【 0 0 1 6 】

本発明は、第 2 の視点において、透明絶縁性基板上に透明電極と金属膜とがこの順に積層されたゲート電極を有し、該ゲート電極を覆うように形成されたゲート絶縁膜と、該ゲート絶縁膜上に配設されたアモルファスシリコン半導体層とが、基板の法線方向から見て略重なるように形成され、該アモルファスシリコン半導体層の表面及び側壁を覆うパッシベーション膜に設けられた開口を介して、前記アモルファスシリコン半導体層とソース／ドレイン電極とが接続され、前記ゲート電極と同層に形成され、積層された前記透明電極及び前記金属膜のうち前記金属膜のみを除去して形成された画素電極に、前記ソース電極が接続され、前記

画素電極には、前記パッシベーション膜が、前記ゲート電極と同層に形成された容量蓄積電極と前記ソース電極と同層に形成された対向電極とで挟まれた蓄積容量部が設けられているものである。

【0017】

本発明においては、前記開口により露出したアモルファスシリコン半導体層表層に、リンがドーピングされた n^+ 層が形成され、金属のみからなる前記ソース／ドレイン電極が前記 n^+ 層に直接接続されている構成とすることもできる。

【0018】

また、本発明は、第3の視点において、アクティブマトリクス基板の製造方法を提供する。該方法は、(a)透明絶縁性基板上に透明電極と金属膜とをこの順に積層し、第1のマスクを用いて、ゲート電極、ゲート配線及び画素電極を形成する工程と、(b)該ゲート電極上にゲート絶縁膜とアモルファスシリコン半導体層とを積層し、第2のマスクを用いて、ゲート絶縁膜とアモルファスシリコン半導体層とを所定の形状に加工する工程と、(c)該アモルファスシリコン半導体層の表面及び側壁を覆うようにパッシベーション膜を堆積し、第3のマスクを用いて、前記アモルファスシリコン半導体層上の所定の位置に前記パッシベーション膜を貫通し、ソース／ドレイン電極と接続するための開口を設けると共に、前記画素電極上に前記パッシベーション膜及び前記金属膜を貫通し、前記金属酸化膜が露出する開口を形成する工程と、(d)前記パッシベーション膜及び開口部上層に電極層を堆積し、第4のマスクを用いて、前記ソース電極用の開口部に露出したアモルファスシリコン層と前記画素電極とを接続する配線を形成すると共に、前記ドレイン電極用の開口部に露出したアモルファスシリコン層に接続されるドレイン配線を形成する工程と、を少なくとも有するものである。

【0019】

【発明の実施の形態】

本発明に係るアクティブマトリクス基板は、その好ましい一実施の形態において、透明絶縁性基板上に透明電極と金属膜とを積層し、第1のマスクを用いて、ゲート電極(図3の2a、2b)及び画素電極を形成し、その上層にゲート絶縁膜(図3の4)と真性アモルファスシリコン層(図3の5)とを積層し、第2の

マスクを用いて、一括して所定の形状に加工し、真性アモルファスシリコン層の表面及び側壁を覆うように堆積したパッシベーション膜（図3の9）に所定の開口を設け、その上層に電極層（図3の7、8）を堆積し、第4のマスクを用いて、所定の配線を形成することにより、4枚のマスクのみで真性アモルファスシリコン層をパッシベーション膜で完全に覆ったチャンネル保護型アクティブマトリクス基板を製造する。

【0020】

【実施例】

上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して以下に説明する。

【0021】

【実施例1】

まず、図1乃至図4を参照して本発明の第1の実施例に係る縦電界（TN）方式のチャンネル保護型アクティブマトリクス基板及びその製造方法について説明する。図1は、第1の実施例に係るアクティブマトリクス基板の回路図であり、図2は、アクティブマトリクス基板の製造工程を示す平面図であり、1画素を抜き出したものである。また、図3は、アクティブマトリクス基板の製造工程を示す断面図であり、図中の左側はゲート端子部（図1のA-A'断面）、中央は画素部（図2のC-C'断面）、右側はドレイン端子部（図1のB-B'断面）を示している。図4は、アクティブマトリクス基板のゲートストレージ部及び保護トランジスタ部のゲート電極とドレイン配線の接続或いはゲート配線とソース／ドレイン電極の接続の形状を示す断面図である。

【0022】

第1の実施例に係るアクティブマトリクス基板は、液晶をアクティブマトリクス基板に設けた配向膜と対向する基板に設けた配向膜とで駆動する縦電界（ツイストネマティック：TN）方式の液晶表示装置用の基板であり、TFT17を構成する真性a-Si層5の上面及び側面をパッシベーション膜9で完全に覆ったチャンネル保護型のアクティブマトリクス基板である。

【0023】

本実施例のアクティブマトリクス基板の製造方法について、図2及び図3を参照して説明する。まず、図3(a)に示すように、ガラス等の透明絶縁性基板1上に透明電極(ITO)とCr、Ti、Mo、Al等の金属膜とを、例えば、スパッタ法を用いて、ITOを30~100nm、金属膜を0.1~0.3 μ m程度の膜厚でこの順に積層する。その後、図2(a)に示す形状のマスクを用いて画素電極10、ゲート電極2及びゲート配線12となる領域にレジストパターンを形成し、レジストパターンで覆われていない領域の金属膜及びITOをウェットエッチングにより除去する。

【0024】

次に、透明絶縁性基板1全面に、SiNx等のゲート絶縁膜4及び半導体層となる真性a-Si層5をプラズマCVD法等により連続的に成膜する。SiNxの膜厚としては0.3~0.5 μ m程度、a-Siの膜厚は0.05~0.2 μ m程度が好ましい。成膜後、第2のマスクを用いて、ゲート電極を覆うようにレジストパターンを形成し、ドライエッチングによって不要な真性a-Si層5及びのゲート絶縁膜4をエッチング除去し、図3(b)に示す構造を得る。

【0025】

次に、基板1全面にTFT17のチャネル保護膜となるSiNx等のパッシベーション膜9を、プラズマCVD法によって、例えば、膜厚0.1~0.4 μ m程度で成膜する。続いて、真性a-Si層5上層のソース/ドレイン接合部、画素電極10、ゲート端子15及びドレイン端子16にコンタクトホール11を有する第3のマスクを用いてレジストパターンを形成し、ドライ又はウェットエッチングによって露出したパッシベーション膜9を除去し、続いて、ドライ又はウェットエッチングによって画素電極10及びゲート端子15、ドレイン端子16のゲート金属膜のみを除去してITOを露出させて、図3(c)の構造を得る。

【0026】

次に、真性a-Si層5とのオーミック接続を得るために、不純物をドーブした n^+ a-Siからなるオーミックコンタクト層6をCVD法により、例えば、20~100nmの膜厚で成膜し、続いてソース/ドレイン電極7、8となるCr、Mo、Ti等のバリア膜とAl等の金属膜をスパッタ法により、例えば、0

1~0.3 μm 程度の膜厚で成膜する。

【0027】

なお、a-Si層とのオーミック接続を得るための方法として、オーミックコンタクト層6を形成する代わりに、パッシベーション膜9に開口を形成後、基板を PH_3 プラズマ雰囲気中に保持し、リンを真性a-Si層5に拡散させて真性a-Si層5表層に n^+ 層を形成することによっても、同様に真性a-Si層5とソース/ドレイン電極7、8とのオーミック接続を得ることができる。その際の処理条件としては、例えば、プラズマCVD装置を用いて300℃の温度で、 PH_3/H_2 (0.5% PH_3) ガスを1000 sccmで供給し、圧力: 200 Pa、RFパワー: 0.1 W/ cm^2 で5分間処理することにより達成できる。

【0028】

次に、第4のマスクを用いて、不要なソース/ドレイン金属膜をエッチングし、真性a-Si層5のソース電極8と画素電極10とを接続し、ドレイン電極7に接続されるドレイン配線14を形成する。次に、酸素プラズマ処理や酸化性雰囲気中熱処理等により、ドレイン配線表面を酸化させる。このような酸化処理を行うことによって、小さな機械的衝撃で液晶層内に存在する導電性異物がドレイン配線とカラーフィルタ側の共通透明電極とを、ショートさせるという不具合が発生することを防止できる。以上によって、図3(d)の構造のアクティブマトリクス基板を製造することができる。

【0029】

このように、本実施例のアクティブマトリクス基板の製造方法によれば、4枚のマスクのみで真性a-Si層5の表面及び側壁を SiN_x のような緻密なパッシベーション膜9で完全に覆ったチャネル保護型アクティブマトリクス基板を形成することができ、従来の製造方法に比べて、少なくとも1PR分工程を簡略化することができる。真性a-Si層5が緻密なパッシベーション膜で覆われていない場合、TFT特性の劣化によるムラ等の表示不良が発生するという不具合があるが、本発明によればそのような不具合が発生することがない。

【0030】

また、本実施例の方法で製造したゲートストレージキャパシタは、図3(c)

の工程でゲート絶縁膜を除去しているために、図4(a)に示すようにパッシベーション膜9のみをゲート電極2と同層に形成した電極とソース電極8と同層に形成したゲートストレージ電極21とで挟み込む構造とすることができ、従来方法で製造した構造を示す図13(a)と比較すると、ゲート絶縁膜4がない分、蓄積容量を大きくすることができる。つまり、ストレージキャパシタの占有面積を小さくしても必要な容量値が確保できるため、開口率を大きくすることもできる。

【0031】

また、アクティブマトリクス基板には、各々のドレイン配線14とゲート配線12との間に、TFTの静電破壊防止用の保護素子18を設けている。この保護素子18は、画素を駆動するTFTと同じ工程で形成され、ゲート電極とソース/ドレイン電極がドレイン配線14に接続され、ソース/ドレイン電極がゲート配線12に接続されたTFTと、ゲート電極とソース/ドレイン電極がゲート配線12に接続され、ソース/ドレイン電極がドレイン配線14に接続されたTFTとで構成される。この保護素子18を作るためにゲート金属膜とソース/ドレイン金属膜とを接続する必要がある。そのために図3(c)の工程でゲート絶縁膜4を除去し、図3(d)の工程でオーミックコンタクト層6及びドレイン配線14を形成することにより、図4(b)のようにドレイン配線14とゲート配線12とをオーミックコンタクト層6にて接続できる。すなわち、TFTの静電破壊防止用の保護素子もPR数を4としたままで形成できる。なお、ゲートストレージ電極21やドレイン配線14の表面も段落0028に説明した工程にて同時に酸化処理されるが、図4ではその酸化膜の図示を省略している。

【0032】

【実施例2】

次に、本発明の第2の実施例に係るチャネル保護型のアクティブマトリクス基板及びその製造方法について、図5を参照して説明する。図5は、アクティブマトリクス基板の製造工程を示す断面図であり、図中の左側はゲート端子部(図1のA-A'断面)、中央は画素部(図2のC-C'断面)、右側はドレイン端子部(図1のB-B'断面)を示している。なお、第2の実施例と前記した第1の

実施例との相違点は、チャネル保護膜となるパッシベーション膜 9 の上に有機層間膜を形成し基板の平坦化を図ったことであり、その他の構造、材料、膜厚、製法等は前記した第 1 の実施例と同様である。

【0033】

第 2 の実施例に係るアクティブマトリクス基板の製造方法について説明すると、まず、第 1 の実施例と同様に、第 1 のマスクを用いて、透明絶縁性基板 1 のゲート電極 2、画素電極 10、ゲート／ドレイン端子 15、16 に ITO と Cr、Ti、Mo、Al 等の金属の積層構造の電極を形成し、ゲート絶縁膜 4 及び真性 a-Si 層 5 を積層後、第 2 のマスクを用いて、ゲート絶縁膜 4 がゲート電極 2 を覆うようパターン形成する。次に、第 1 の実施例では、パッシベーション膜 9 をチャネル保護に必要な膜厚として 0.1~0.4 μm の膜厚で形成したが、本実施例では、このパッシベーション膜 9 の上に更に有機層間膜 26 を堆積して基板の平坦化を同時に行うことを特徴としている。

【0034】

有機層間膜としては、例えば、アクリル樹脂、BCB（ベンゾシクロブテン）やポリイミド等の有機材料を用い、0.2~1.0 μm 程度の膜厚でこれらの有機材料を堆積することによって、図 5 (c) に示すように、基板を平坦化することができる。このような有機層間膜 26 を設けることによって、TFT 17 の段差により液晶の配向状態が不均一になるという問題を回避することができる。

【0035】

また、平坦化を行う他の方法として、図示していないが、例えば、パッシベーション膜 9 の SiNx の成膜レート、成膜温度等の成膜条件を変えて、膜質が粗な膜を形成する方法や、緻密な SiNx 膜の上に粗な SiNx 膜を 2 層構造で形成する方法や、また、異なる材質の膜を多層に積層する方法、例えば、緻密な SiNx の上に SiO₂ 等を積層する方法等がある。

【0036】

ここで、緻密な SiNx の上に SiO₂ 膜を形成する方法について説明すると、成膜条件として、まず SiNx を第 1 の実施例と同様に CVD 法により成膜速度 0.1 $\mu\text{m}/\text{min}$ 程度で 0.1 μm 程度堆積し、引き続き SiO₂ を CVD

法により成膜速度 $0.5 \mu\text{m}/\text{min}$ 程度で $1 \mu\text{m}$ 程度堆積する。すると、真性 $a\text{-Si}$ 層 5 端部の段差を埋めるようにパッシベーション膜 9 を形成することができ、有機層間膜 26 を形成するのと同様の効果を達成することができる。

【0037】

また、 SiN_x の成膜レートを変える場合は、通常、 $0.1 \mu\text{m}/\text{min}$ 程度で成膜するところを $0.5 \mu\text{m}/\text{min}$ 程度に大きくすることによって平坦化することが可能となる。このように成膜速度を大きくすることによって、成膜時間が短くできる。

【0038】

また、 SiN_x の膜質が粗くなることによって絶縁膜としての機能が低下する場合には、まず、下地に通常の成膜レートで緻密な SiN_x 膜を $0.1 \mu\text{m}$ 程度堆積し、その後成膜レートを大きくして $1 \mu\text{m}$ 程度堆積することによって、チャネル保護と平坦化の両方の機能を持たせることが可能となる。

【0039】

パッシベーション膜 9 及び有機層間膜 26 を堆積後、第 3 のマスクを用いて、所定の部分にコンタクトホール 11 を設け、不純物をドーピングした $n^+a\text{-Si}$ からなるオーミックコンタクト層 6 及び Cr 、 Ti 、 Mo 、 Al 等の金属膜を堆積し、第 4 のマスクを用いて、所定の形状に加工し、図 5 (d) の構造のアクティブマトリクス基板を製造することができる。なお、オーミックコンタクト層 6 の代わりに真性 $a\text{-Si}$ 層 5 表面にリンを拡散して n^+ 層を形成することもできるのは前記した第 1 の実施例と同様である。

【0040】

上述したように、本実施例の製造方法によれば、前記した第 1 の実施例の効果に加えて、真性 $a\text{-Si}$ 層 5 の保護をより確実にすると共に、TFT 部の段差を小さくすることができる。このように、段差を小さくして基板を平坦化することによって、配向膜の表面が平坦にでき、段差部分がある場合に発生していた液晶の配向乱れが防止できるため、基板間に矜持される液晶の配向状態を良好にすることができるという効果がある。

【0041】

【実施例 3】

次に、図 6 乃至図 8 を参照して、本発明の第 3 の実施例に係るチャネル保護型のアクティブマトリクス基板及びその製造方法について説明する。図 6 は、第 3 の実施例に係る横電界方式のアクティブマトリクス基板の回路図であり、図 7 は、アクティブマトリクス基板の製造工程を示す平面図であり、1 画素を抜き出したものである。また、図 8 は、アクティブマトリクス基板の製造工程を示す断面図であり、図中の左側はゲート端子部（図 6 の E-E' 断面）、中央は画素部（図 7 の G-G' 断面）、右側はドレイン端子部（図 6 の F-F' 断面）を示している。図 8 は、アクティブマトリクス基板の電極の接続状態を示す断面図である。

【0042】

本実施例と前記した第 1 の実施例との相違点は、本実施例では、櫛歯上に形成した共通電極 3 と画素電極 10 との間の電界で液晶の配向を制御する横電界方式のアクティブマトリクス基板に本発明の製造方法を適用したものであり、基本的な製造方法は前記した第 1 の実施例と同様である。

【0043】

図 7 及び図 8 を参照して、横電界方式のアクティブマトリクス基板の製造方法について説明する。まず、図 8 (a) に示すように、透明絶縁性基板 1 上に共通電極 3 及びゲート電極 2 となる Cr、Ti、Mo、Al 等の金属膜を、例えば、スパッタ法を用いて、0.1~0.3 μm 程度の膜厚でこの順に堆積し、第 1 のマスクを用いて、共通電極 3、ドレイン電極 7 及びドレイン配線 14 となる領域にレジストパターンを形成し、不要な金属膜をウェットエッチングにより除去する。

【0044】

次に、基板 1 全面に SiNx 等のゲート絶縁膜 4 及び半導体層となる真性 a-Si 層 5 をプラズマ CVD 法等により連続的に成膜する。SiNx の膜厚としては 0.3~0.5 μm 程度、真性 a-Si の膜厚は 0.05~0.2 μm 程度が好ましい。成膜後、第 2 のマスクを用いて、ゲート電極 2 を覆うようにレジストパターンを形成し、ドライエッチングによって不要な真性 a-Si 層 5 及びゲート電極 2 を除去する。

ト絶縁膜4をエッチング除去し、図7(b)、図8(b)に示す構造を得る。

【0045】

次に、基板1全面にTFTのチャネル保護膜となる SiN_x 等のパッシベーション膜9を、プラズマCVD法によって、例えば、膜厚 $0.1 \sim 0.4 \mu\text{m}$ 程度で成膜する。続いて、真性 $a\text{-Si}$ 層5上層のソース/ドレイン接合部及びゲート端子部に開口を有する第3のマスクを用いてレジストパターンを形成し、ドライ又はウェットエッチングによってパッシベーション膜9を除去し、図7(c)、図8(c)の構造を得る。

【0046】

次に、真性 $a\text{-Si}$ 層5とのオーミック接続を得るために、不純物をドーブルした $n^+a\text{-Si}$ 層からなるオーミックコンタクト層6を、CVD法により、例えば、 $20 \sim 100 \text{ nm}$ の膜厚で成膜し、続いてソース/ドレイン電極7、8となる Cr 、 Mo 、 Ti 、 Al 等の金属膜をスパッタ法により、例えば、 $0.1 \sim 0.3 \mu\text{m}$ 程度の膜厚で成膜する。なお、真性 $a\text{-Si}$ 層5とのオーミック接続を得るための方法として、オーミックコンタクト層6を形成する代わりに真性 $a\text{-Si}$ 層5にリンを拡散させて n^+ 層を形成することができるのは前記した第1の実施例と同様である。

【0047】

そして、最後に第4のマスクを用いて、不要なソース/ドレイン金属膜をエッチングすることによって、図7(d)、図8(d)の構造の横電界方式のチャネル保護型アクティブマトリクス基板を製造することができる。

【0048】

このように、本実施例の製造方法では、前記した第1の実施例と同様に、4枚のマスクのみで真性 $a\text{-Si}$ 層5の表面及び側壁をパッシベーション膜9で完全に覆った横電界方式のアクティブマトリクス基板を形成することができ、従来の製造方法に比べて少なくとも1PR分工程を簡略化することができる。

【0049】

また、本実施例の方法で製造した場合、共通配線13とゲート配線12の接続部、及び、ゲート電極2とドレイン配線14、ゲート配線12とソース電極8は

、図 7 (b) の工程で、不要なゲート絶縁膜 4 を除去しているため、図 9 (a) 、 (b) に示す構造となり、従来の構造を示す図 15 (a) 、 (b) と比較すると、ゲート絶縁膜 4 が無い分、コンタクトホールを浅くすることができ、接続が容易になるという効果がある。

【0050】

更に、前記した第 2 の実施例と同様に、パッシベーション膜の膜厚を厚くしたり、 SiN_x の成膜条件を適宜変更したり、異なる材質の膜を積層した構造にすることによって、平坦化を図ることができる。

【0051】

【実施例 4】

次に、図 10 及び図 12 を参照して、本発明の第 4 の実施例に係る横電界方式のチャンネル保護型アクティブマトリクス基板及びその製造方法について説明する。図 10 は、アクティブマトリクス基板の製造工程を示す平面図であり、1 画素を抜き出したものである。また、図 11 は、アクティブマトリクス基板の製造工程を示す断面図であり、図中の左側はゲート端子部（図 6 の E-E' 断面）、中央は画素部（図 7 の H-H' 断面）、右側はドレイン端子部（図 6 の F-F' 断面）を示している。図 12 は、アクティブマトリクス基板の電極の接続状態を示す断面図である。本実施例と前記した第 3 の実施例との相違点は、ゲート絶縁層を基板全面に残したことであり、その他の製造条件は前記した第 3 の実施例と同様である。

【0052】

図 10 及び図 11 を参照して、横電界方式のアクティブマトリクス基板の製造方法について説明する。まず、前記した第 3 の実施例と同様に、透明絶縁性基板 1 上に共通電極 3 及びゲート電極 2 となる Cr、Ti、Mo、Al 等の金属膜をスパッタ法を用いて、 $0.1 \sim 0.3 \mu\text{m}$ の膜厚でこの順に堆積し、第 1 のマスクを用いてパターン形成する。

【0053】

次に、基板 1 全面に SiN_x 等のゲート絶縁膜 4 及び半導体層となる真性 a-Si をプラズマ CVD 法等によりそれぞれ $0.3 \sim 0.5 \mu\text{m}$ 程度、 0.05

～0.2 μm 程度の膜厚で連続的に成膜する。ここで本実施例では、成膜後、第2のマスクを用いてゲート電極2上のみ真性a-Si層5を残すようにエッチングし、ゲート絶縁膜4を基板1全面に残すことにより、図10(b)、図11(b)に示す構造を得る。

【0054】

次に、基板1全面にTFTのチャネル保護膜となるSiNx等のパッシベーション膜9を、プラズマCVD法によって、膜厚0.1～0.4 μm 程度に成膜する。続いて、第3のマスクを用いて真性a-Si層5上層のソース/ドレイン接合部、ゲート、ドレイン端子部の開口部のパッシベーション膜を除去するが、本実施例では、ゲート、ドレイン端子部にはゲート絶縁膜4が残っており、このゲート絶縁膜4も同様にエッチング除去し、図10(c)、図11(c)の構造を得る。

【0055】

次に、真性a-Si層5とのオーミック接続を得るための n^+ a-Siからなるオーミックコンタクト層6をCVD法により、20～100nmの膜厚で成膜し、続いてソース/ドレイン電極7、8となるCr、Mo、Ti、Al等の金属膜をスパッタ法により、0.1～0.3 μm 程度の膜厚で成膜する。なお、真性a-Si層5とのオーミック接続を得るための方法として、真性a-Si層5表面にリン等を拡散させることによっても同様の効果を得ることができることは前記した第3の実施例と同様である。

【0056】

そして、最後に第4のマスクを用いて、不要なソース/ドレイン金属膜をエッチングすることによって図11(d)の構造の横電界方式のチャネル保護型アクティブマトリクス基板を製造することができる。

【0057】

このように、本実施例の製造方法では、前記した第3の実施例と同様に、4枚のマスクのみで真性a-Si層5の表面及び側壁がパッシベーション膜9で完全に覆われた横電界方式のアクティブマトリクス基板を形成することができ、従来の製造方法に比べて少なくとも1PR分工程を簡略化することができる。

【0058】

また、本実施例の方法で製造した共通配線13とゲート配線12の接続部、及び、ゲート電極2とドレイン配線14、ゲート配線12とソース電極8は、図12(a)、(b)のようになり、前記した第3の実施例と比較するとゲート絶縁膜が残っている分、層間膜の膜厚が厚くなるが、これにより、ゲートとドレインとのショート不良の低減という効果が得られる。

【0059】

【発明の効果】

以上説明したように、本発明によれば、4枚のマスクのみで、真性a-Si半導体層を完全にチャンネル保護膜で覆ったチャンネル保護型アクティブマトリクス基板を製造することができ、アクティブマトリクス基板の低価格化を実現することができるという効果を奏する。

【0060】

その理由は、ゲート絶縁膜とa-Si半導体層とを同一のマスクを用いて一括してエッチングした後に、パッシベーション膜を堆積しているために、工程を削減すると共にa-Si半導体層をパッシベーション膜で完全に覆うことができるからである。

【0061】

また、本発明によれば、パッシベーション膜の膜厚を適宜最適化することにより、TFT部の段差を小さくすることもでき、これによって対向基板との間に矜持される液晶の配向状態を均一にそろえることができるという効果もある。

【0062】

しかも、本発明によれば、ストレージキャパシタ、静電破壊防止用の保護素子、ゲート端子及びドレイン端子の開口部分、共通電極へのトランスファーパッド及びその端子の開口部分の全てが形成されたアクティブマトリクス基板を得ることができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施例に係るTN方式液晶表示装置用アクティブマトリクス基

板の回路図である。

【図 2】

本発明の第 1 の実施例に係るアクティブマトリクス基板の製造工程を模式的に示す上面図である。

【図 3】

本発明の第 1 の実施例に係るアクティブマトリクス基板の製造工程を模式的に示す断面図である。

【図 4】

本発明の第 1 の実施例に係るアクティブマトリクス基板の容量部及び配線接続部の構造を示す断面図である。

【図 5】

本発明の第 2 の実施例に係るアクティブマトリクス基板の製造工程を模式的に示す断面図である。

【図 6】

本発明の第 3 の実施例に係る TN 方式液晶表示装置用アクティブマトリクス基板の回路図である。

【図 7】

本発明の第 3 の実施例に係るアクティブマトリクス基板の製造工程を模式的に示す上面図である。

【図 8】

本発明の第 3 の実施例に係るアクティブマトリクス基板の製造工程を模式的に示す断面図である。

【図 9】

本発明の第 3 の実施例に係るアクティブマトリクス基板の配線接続部の構造を示す断面図である。

【図 1 0】

本発明の第 4 の実施例に係るアクティブマトリクス基板の製造工程を模式的に示す上面図である。

【図 1 1】

本発明の第4の実施例に係るアクティブマトリクス基板の製造工程を模式的に示す断面図である。

【図12】

本発明の第4の実施例に係るアクティブマトリクス基板の配線接続部の構造を示す断面図である。

【図13】

従来のアクティブマトリクス基板の製造工程を模式的に示す断面図である。

【図14】

従来のアクティブマトリクス基板の容量部及び配線接続部の構造を示す断面図である。

【図15】

従来のアクティブマトリクス基板の配線接続部の構造を示す断面図である。

【符号の説明】

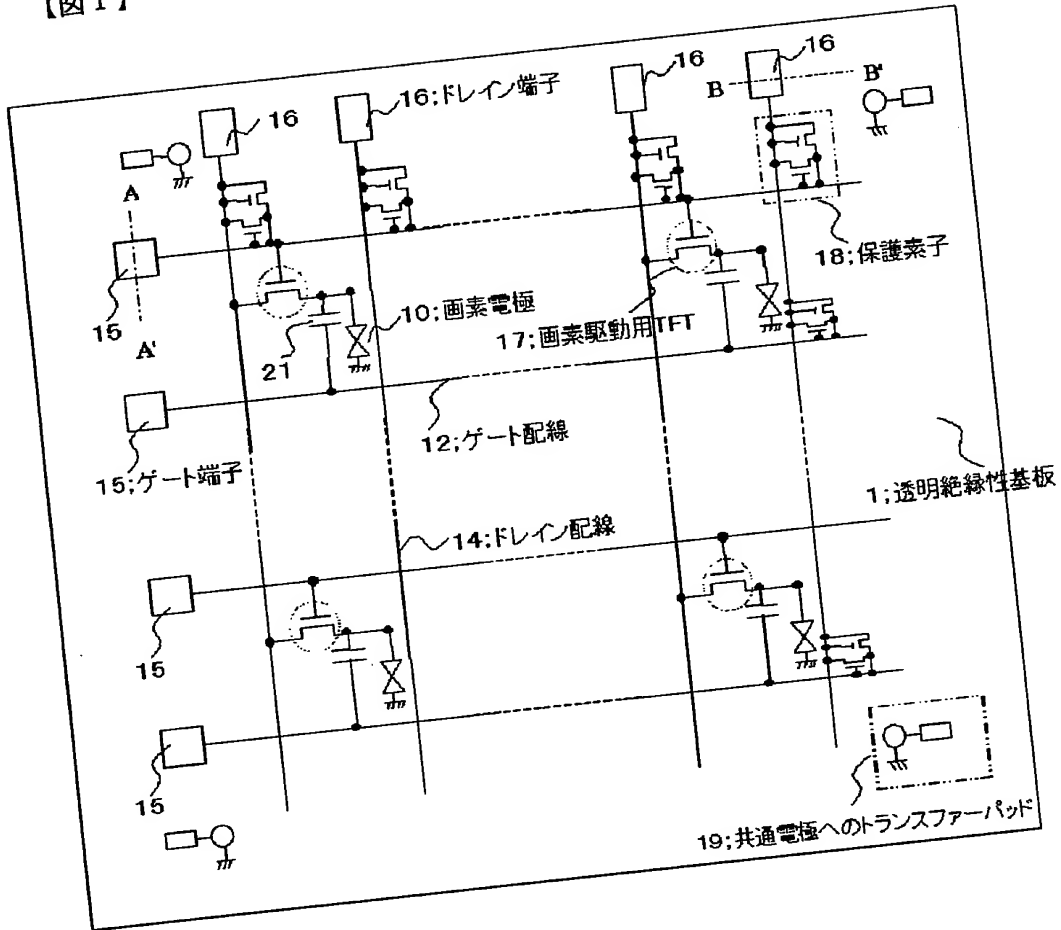
- 1 透明絶縁性基板
- 2 ゲート電極
 - 2a 下層ゲート電極 (ITO層)
 - 2b 上層ゲート電極 (金属層)
- 3 共通電極
- 4 ゲート絶縁膜
- 5 真性 a-Si 層
- 6 オーミックコンタクト層 (n^+ a-Si 層)
- 7 ドレイン電極
- 8 ソース電極
- 9 パッシベーション膜
- 10 画素電極
- 11 コンタクトホール
- 12 ゲート配線
 - 12a 下層ゲート配線 (ITO層)
 - 12b 上層ゲート配線 (金属層)

- 13 共通配線
- 14 ドレイン配線
 - 14a 下層ドレイン配線 (n^+a-Si 層)
 - 14b 上層ドレイン配線 (金属層)
- 15 ゲート端子
- 16 ドレイン端子
- 17 画素駆動用薄膜トランジスタ
- 18 保護トランジスタ
- 19 共通電極へのトランスファーパッド
- 20 Al 酸化層
- 21 ゲートストレージ電極
- 22 共通配線接層
- 23 ソース/ドレイン配線
- 24 接続配線層
- 25 チャネル保護膜
- 26 有機層間膜

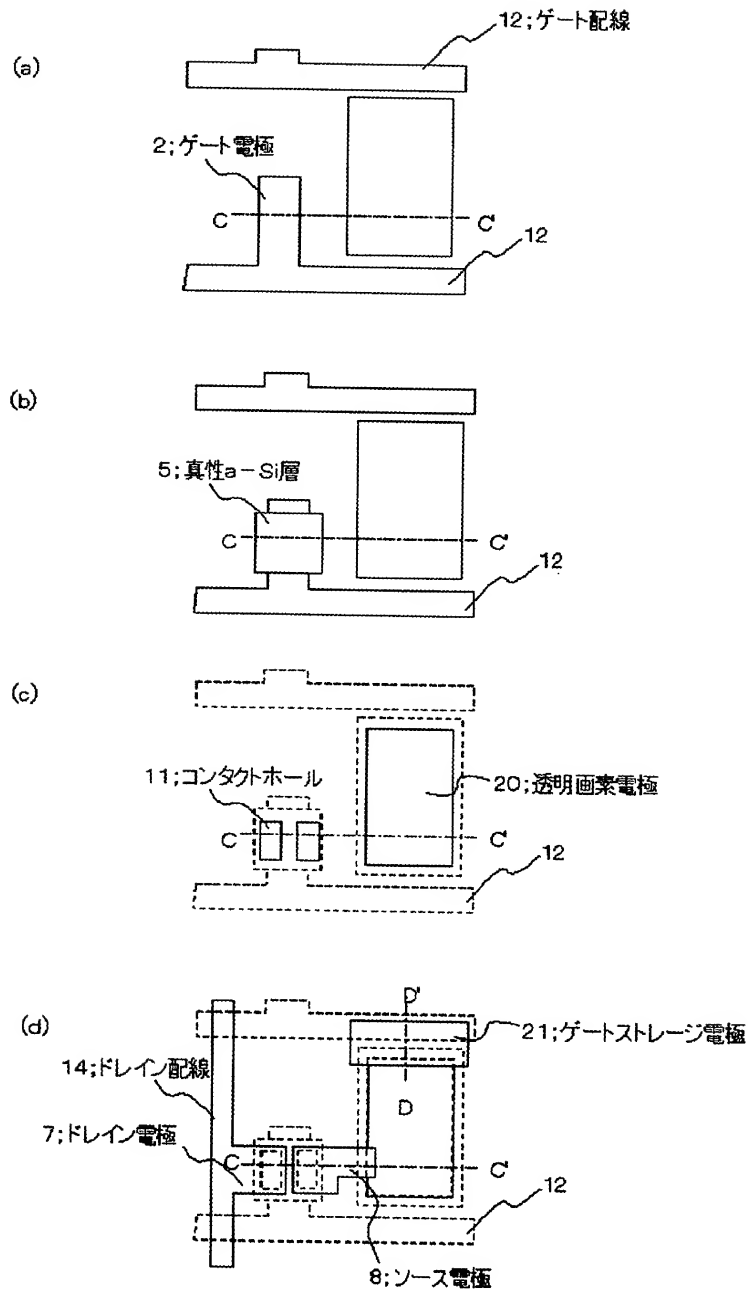
【書類名】

図面

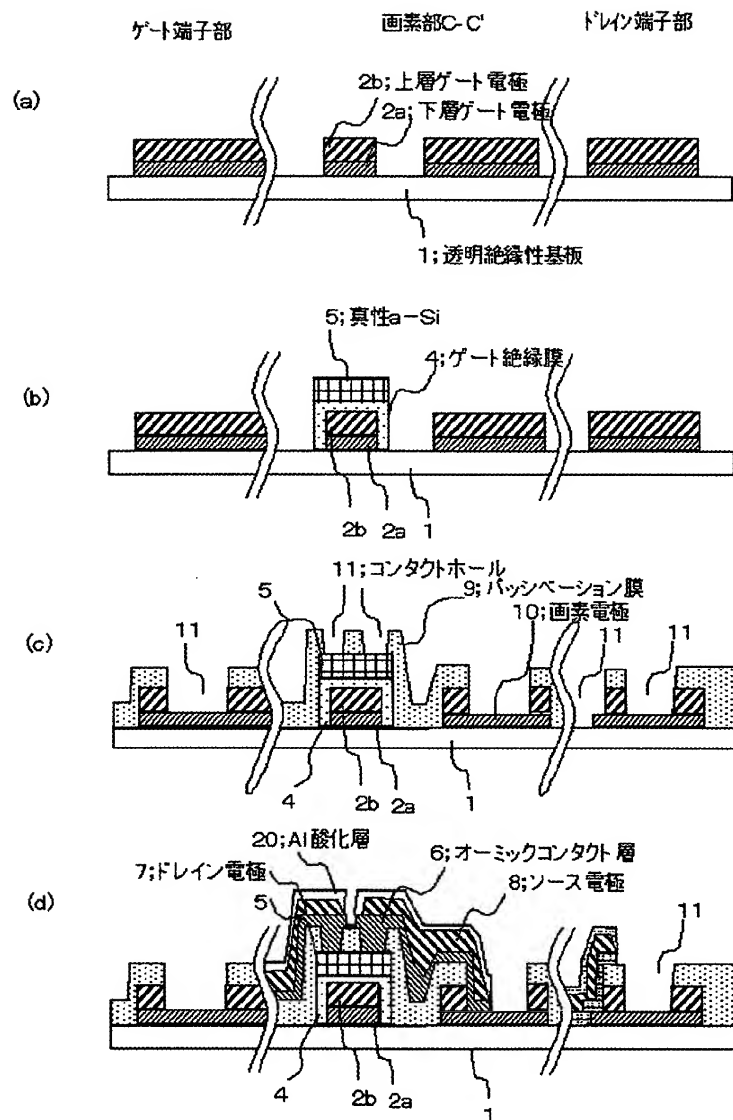
【図1】



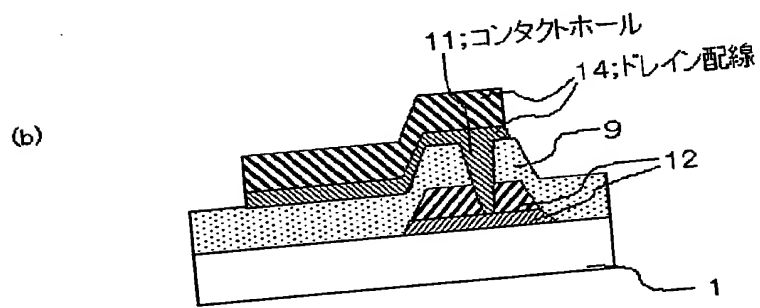
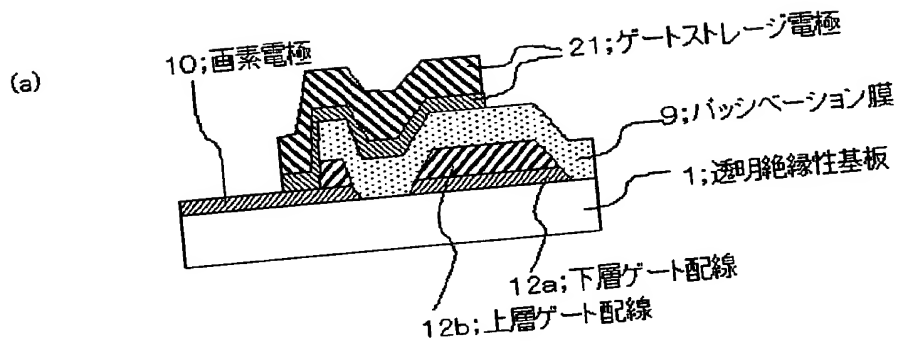
【図2】



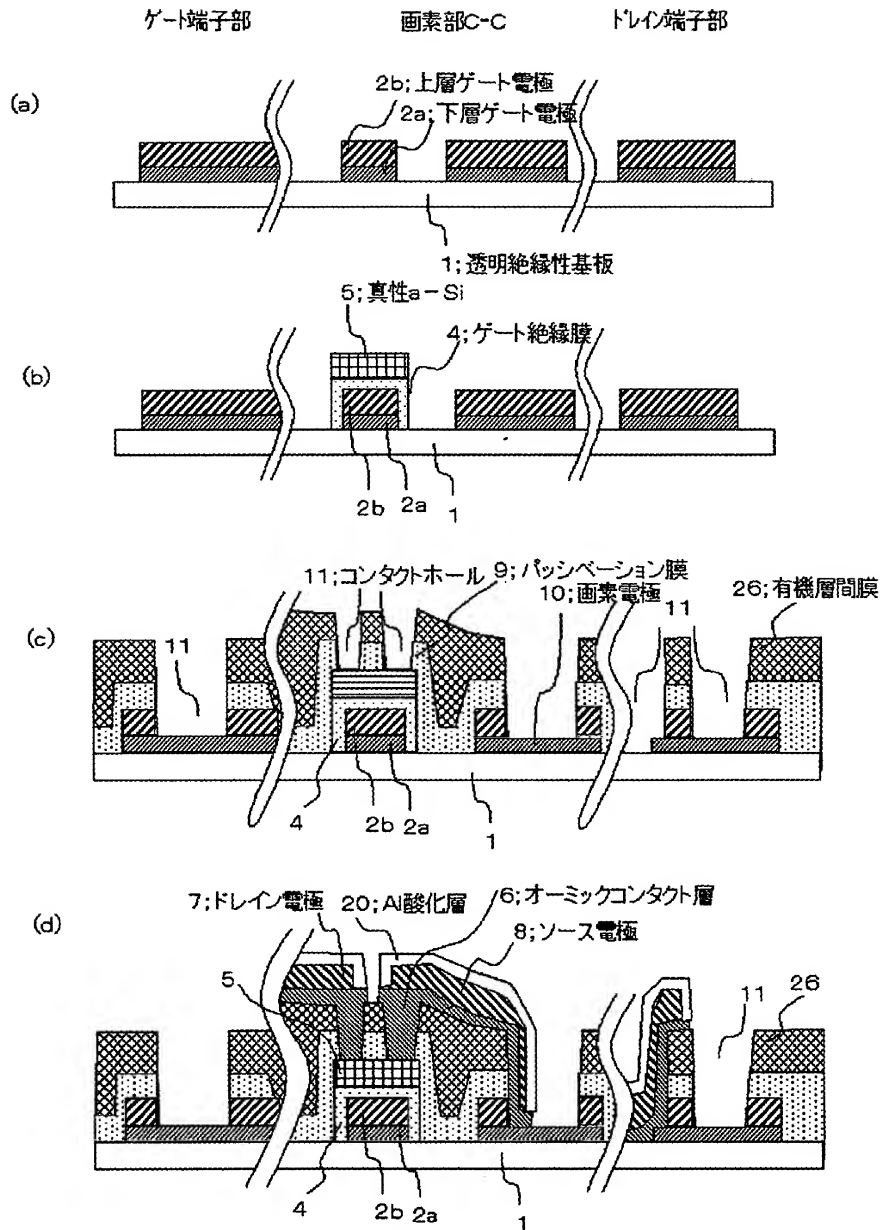
【図3】



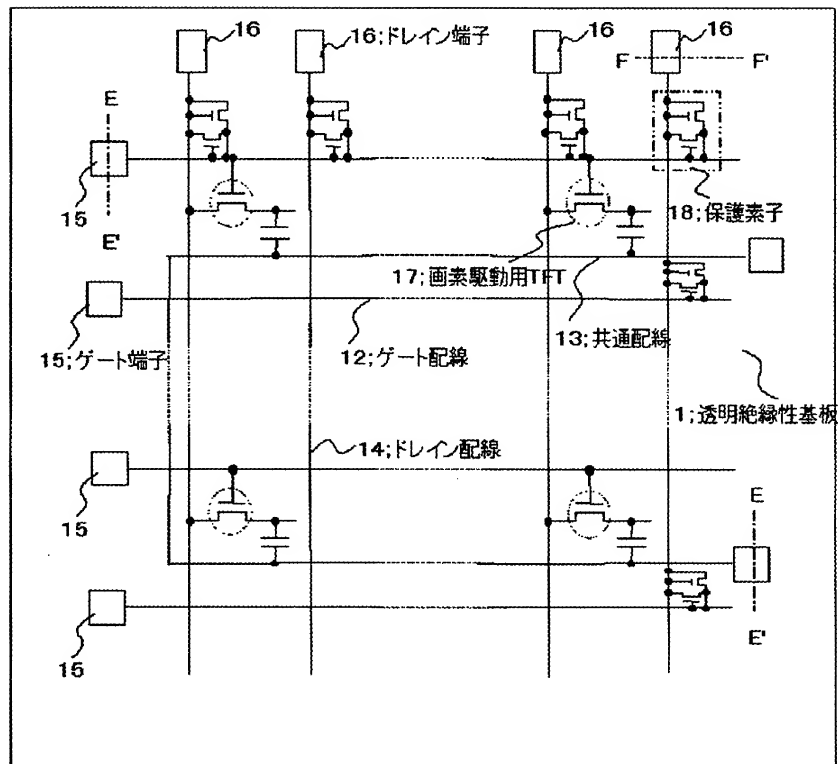
【図4】



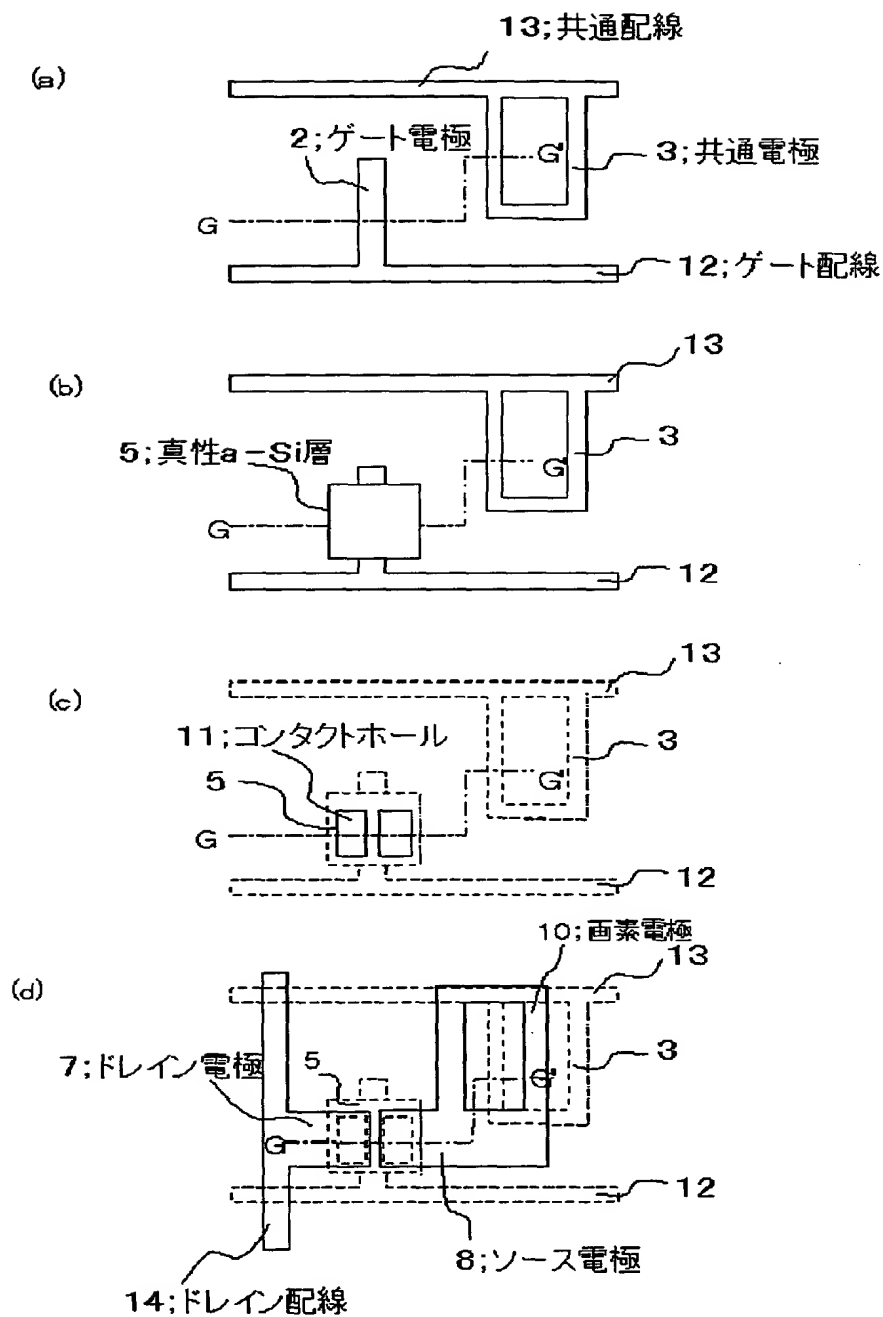
【図 5】



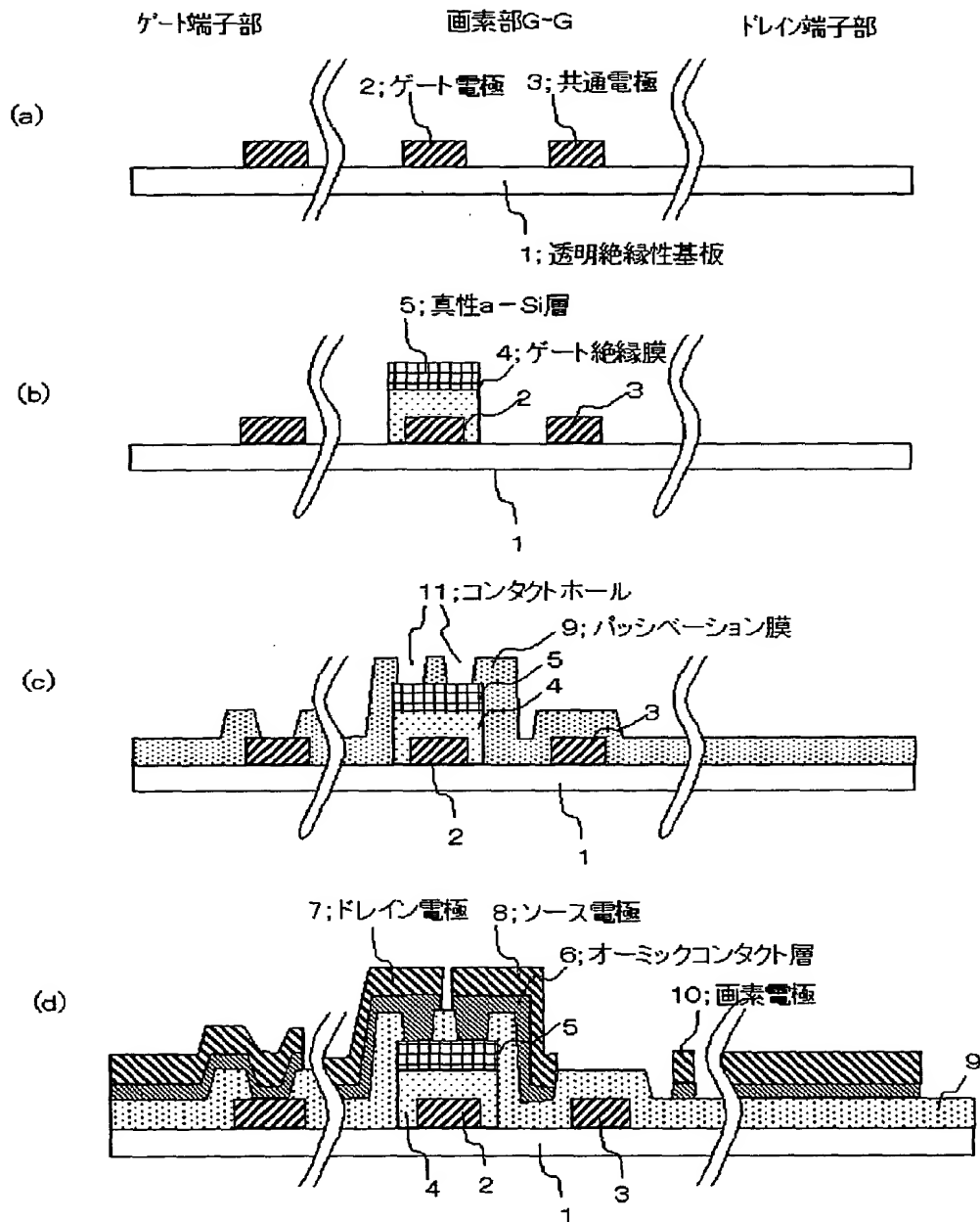
【図6】



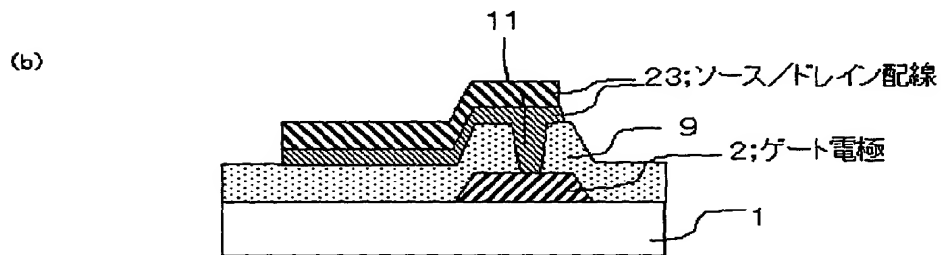
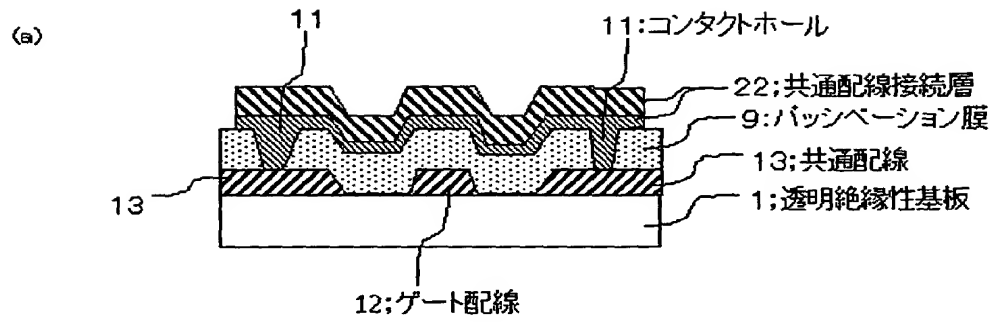
【図7】



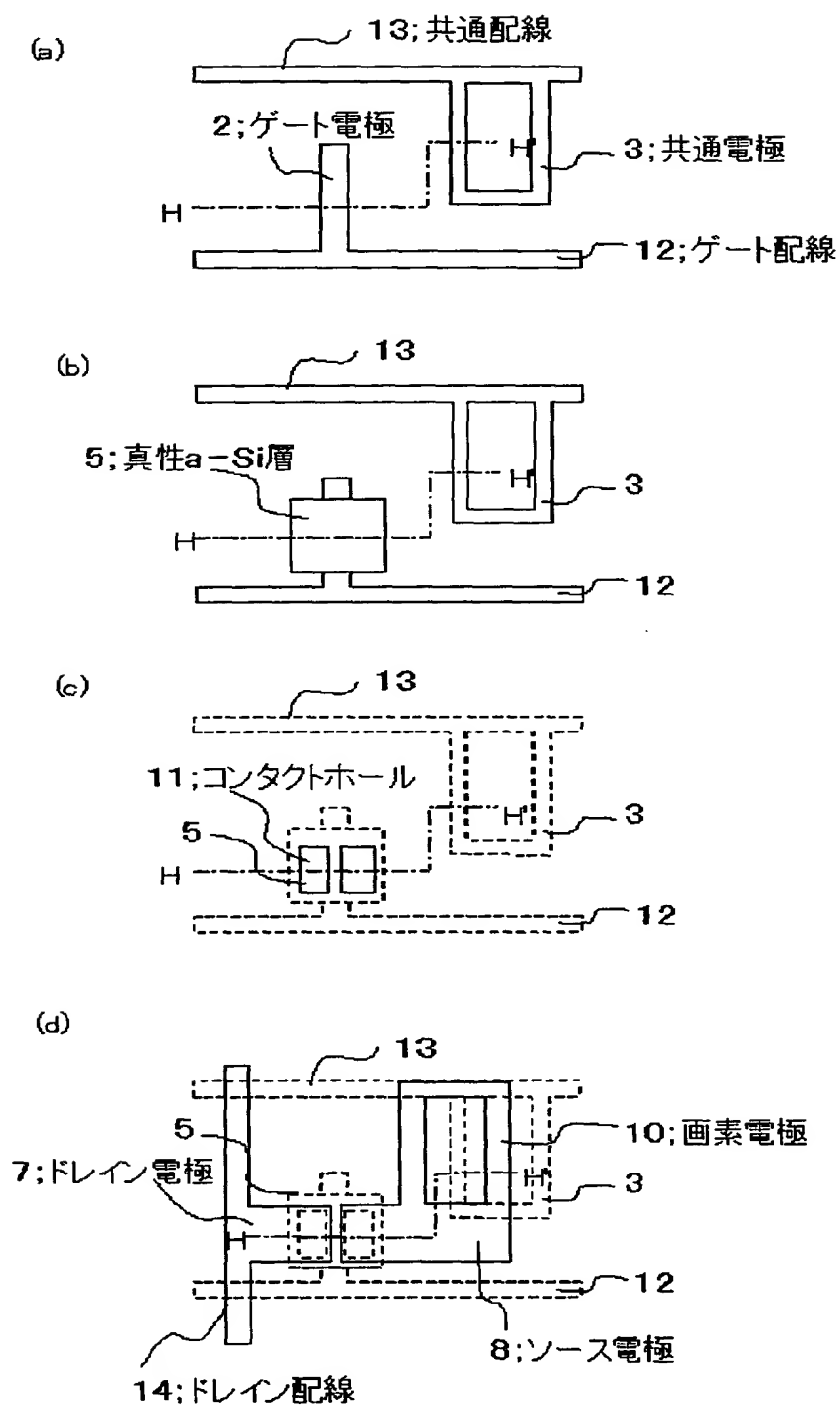
【図 8】



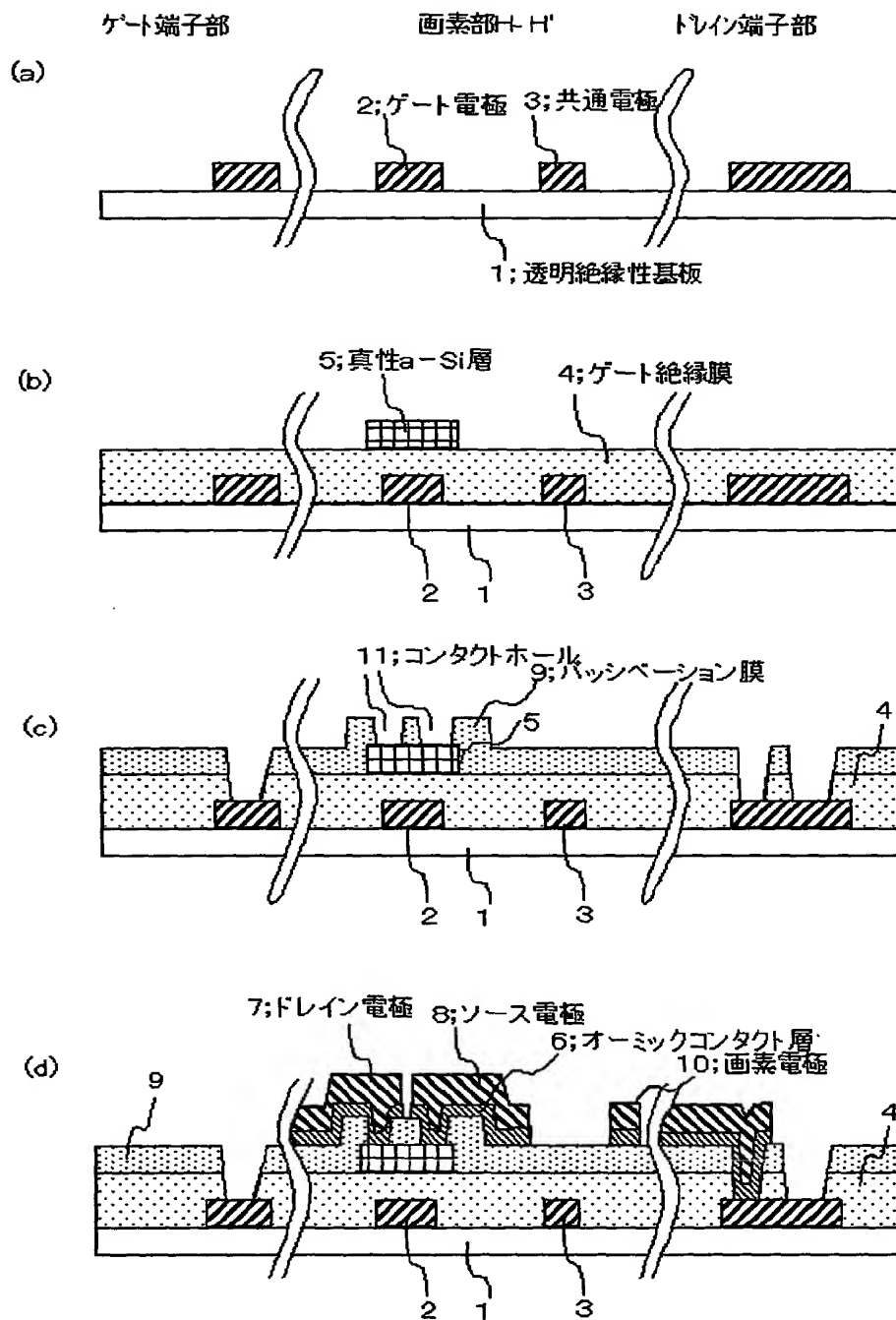
【図9】



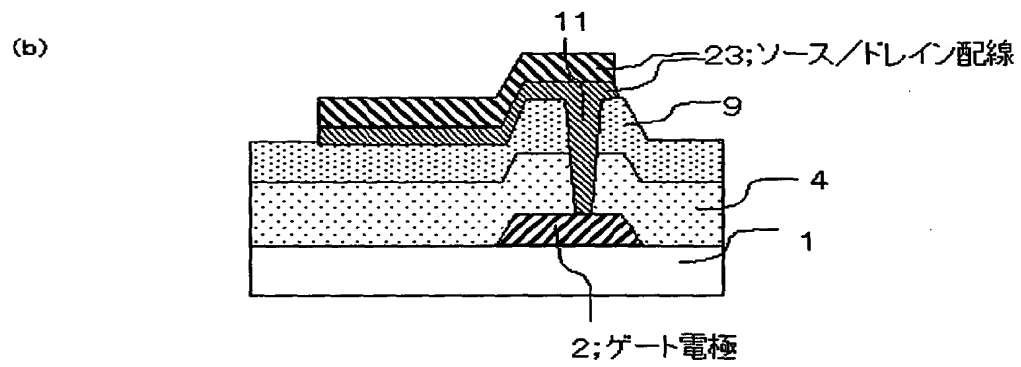
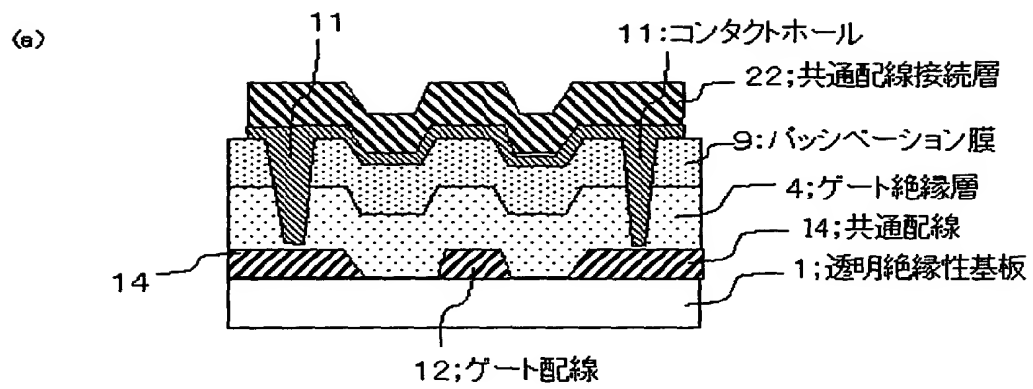
【図 10】



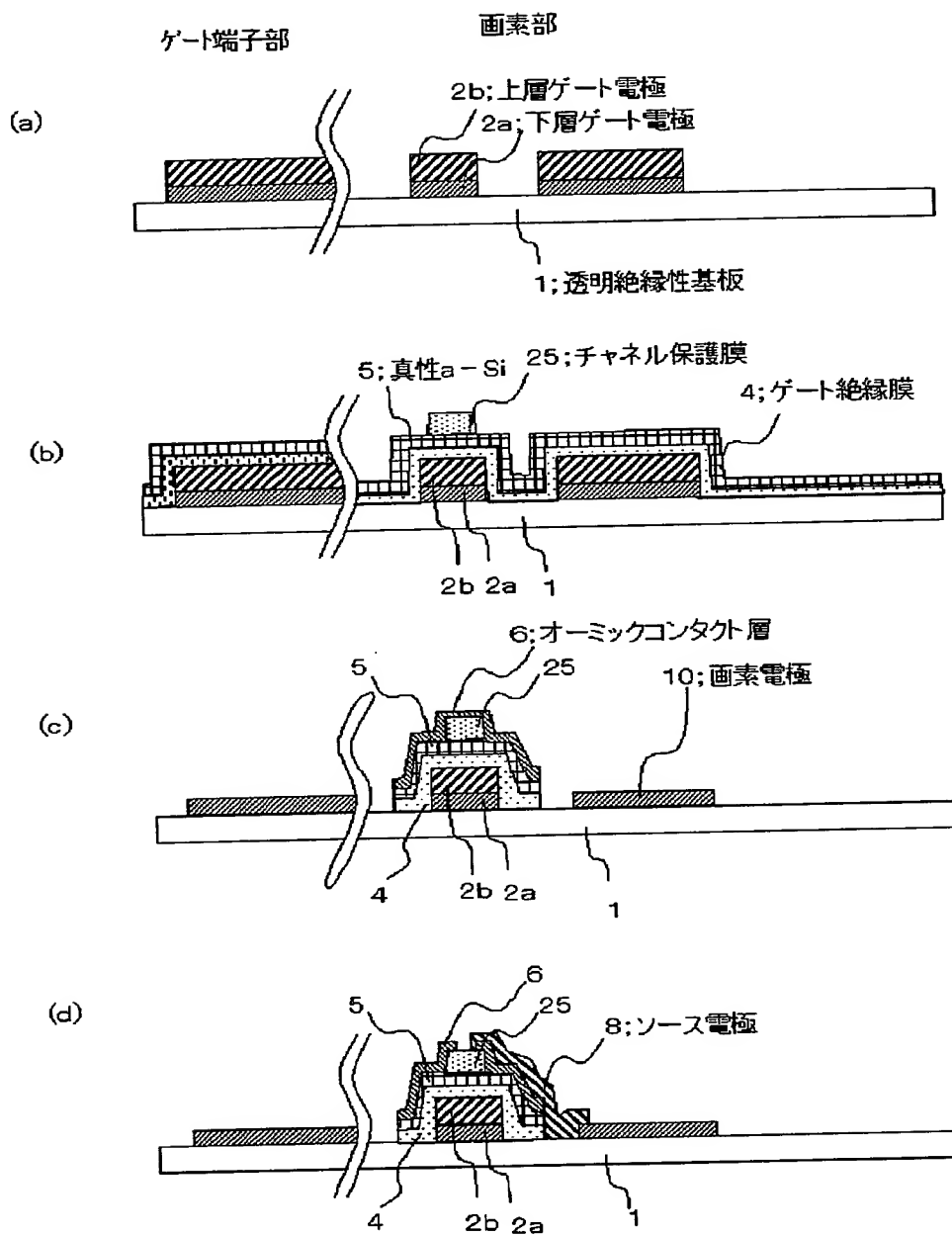
【図 11】



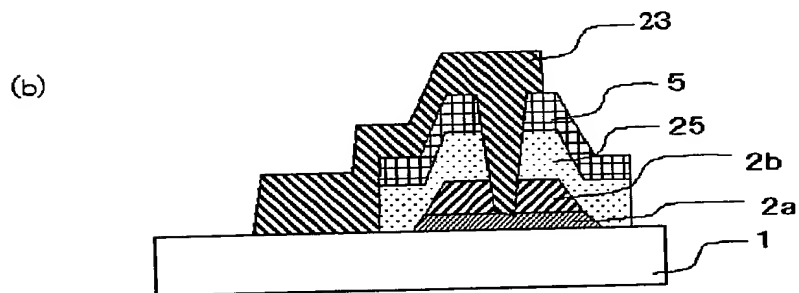
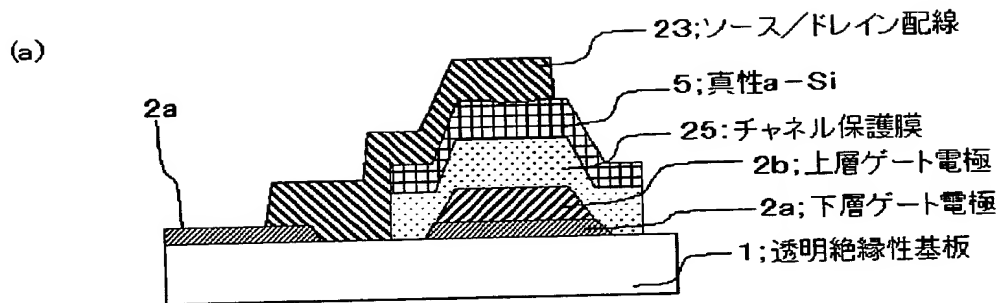
【図 12】



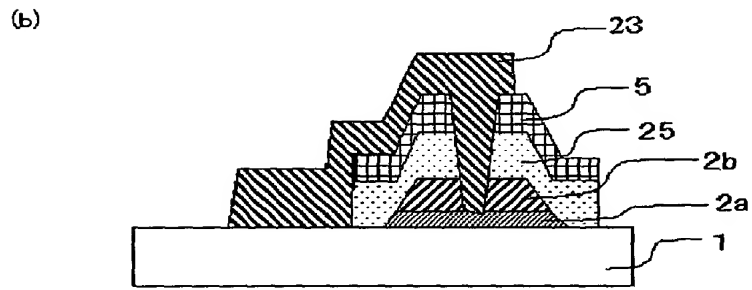
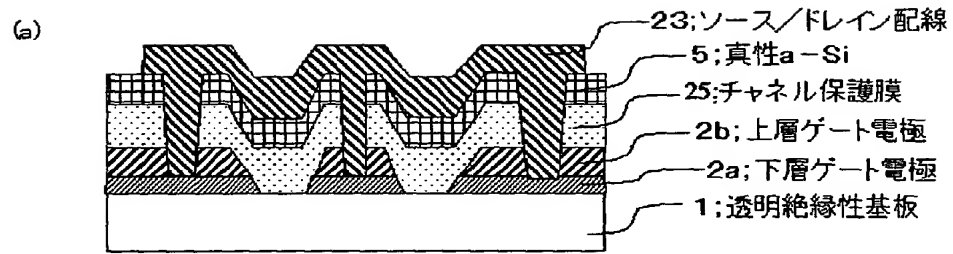
【図 13】



【図 1 4】



【図 1 5】



【書類名】 要約書

【要約】

【課題】

チャンネル保護型で、かつ、 $a-Si$ 層の全面をパッシベーション膜で覆うことができるアクティブマトリクス基板を 4 枚のマスクで形成することができるアクティブマトリクス基板及びその製造方法の提供。

【解決手段】

透明絶縁性基板上に透明電極と金属膜とを積層し、第 1 のマスクを用いて、ゲート電極（図 3 の 2 a、2 b）及び画素電極を形成し、その上層にゲート絶縁膜（図 3 の 4）と真性アモルファスシリコン層（図 3 の 5）とを積層し、第 2 のマスクを用いて、一括して所定の形状に加工し、真性アモルファスシリコン層の表面及び側壁を覆うように堆積したパッシベーション膜（図 3 の 9）に所定の開口を設け、その上層に電極層（図 3 の 7、8）を堆積し、第 4 のマスクを用いて、所定の配線を形成することにより、4 枚のマスクのみで真性アモルファスシリコン層をパッシベーション膜で完全に覆ったチャンネル保護型アクティブマトリクス基板を製造する。

【選択図】

図 3

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 4 2 3 7]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	東京都港区芝五丁目 7 番 1 号
氏 名	日本電気株式会社

出 願 人 履 歴 情 報

識別番号 [000181284]

1. 変更年月日	1990年 8月10日
[変更理由]	新規登録
住 所	鹿児島県出水市大野原町2080
氏 名	鹿児島日本電気株式会社